

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-119860
 (43)Date of publication of application : 22.05.1991

(51)Int.CI.

H04N 1/40
B41J 2/52

(21)Application number : 01-255294
 (22)Date of filing : 02.10.1989

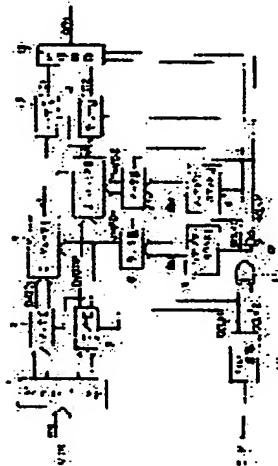
(71)Applicant : CANON INC
 (72)Inventor : OSHIMA MASAMOTO
 OKUBO MASAHIRO
 ITO MICHIO
 SASAME HIROSHI
 YAMADA HIROMICHI
 SAITO TETSUO
 KASHIWABARA ATSUSHI
 KAWANA TAKASHI
 MANO HIROSHI
 SETO KAORU

(54) IMAGE SIGNAL MODULATION SYSTEM

(57)Abstract:

PURPOSE: To realize high resolution economically by providing a clock generating means to generate plural same frequency clock signals of different phases based on a clock signal, and performing pulse width modulation in short time unit on the clock signal with a cycle within the cycle of a multilevel input recording signal.

CONSTITUTION: Clocks DCLK1 and DCLK2 from a delay circuit 10 are inputted to an exclusive OR(EX-OR) circuit 11, and a switching clock with a cycle of 1/2 that of a master clock CLK is generated with the circuit 11. Also, an SCLK2 in which a clock SCLK1 is inverted with an inverter (NOT) circuit 12 is generated. Those SCLK1 and SCLK2 are inputted to up/down counters 8, 9, latches 13, 14, and a switching circuit 15, respectively. Image data D1, D2 are inputted to the switching circuit 15, and they are selected alternately based on the switching clocks SCLK1, SCLK2, and are outputted as serial output image data OPD.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(3)

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

平3-119860

⑬Int.Cl.*

H 04 N 1/40
B 41 J 2/52

識別記号

庁内整理番号

B 9068-5C

⑭公開 平成3年(1991)5月22日

7611-2C B 41 J 3/00

審査請求 未請求 請求項の数 2 (全13頁)

A

⑮発明の名称 画像信号変調方式

⑯特 願 平1-255294

⑰出 願 平1(1989)10月2日

⑱発 明 者 尾 島 磨 佐 基	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑲発 明 者 大 久 保 正 晴	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑳発 明 者 伊 藤 道 夫	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉑発 明 者 笹 目 裕 志	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉒発 明 者 山 田 博 通	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉓発 明 者 齊 藤 徹 雄	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉔発 明 者 柏 原 淳	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉕発 明 者 川 名 幸	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉖出 願 人 キヤノン株式会社	東京都大田区下丸子3丁目30番2号	
㉗代 理 人 弁理士 大 塚 康 德	外1名	

最終頁に続く

明細書

1. 発明の名称

画像信号変調方式

2. 特許請求の範囲

(1) 多値入力記録信号に基づいて出力画像を形成する記録装置における画像信号変調方式であつて、

クロツク信号に基づいて複数のそれぞれ位相の異なる同一周波数クロツク信号を生成するクロツク生成手段と、多値入力記録信号を対応する複数の2値画像信号に変換する変換手段と、該変換手段で生成された前記複数の2値画像信号を前記クロツク生成手段で生成された各々位相差のある複数のクロツク信号により多値入力記録信号の1周期内で順次出力する出力手段とを備え、

多値入力記録信号の周期内に前記クロツク信号

の周期より短い時間単位でパルス幅変調を行うことを特徴とする画像信号変調方式。

(2) 多値入力記録信号に基づいて出力画像を形成する記録装置における画像信号変調方式であつて、

多値入力記録信号の波度レベルに基づき、該多値入力記録信号を対応する記録画像信号に変換する変換手段と、クロツク信号に基づいて該クロツク信号から各々所定の重み付けに従い位相をずらした複数のクロツク信号を生成するクロツク生成手段と、前記変換手段で変換された変換信号を該クロツク生成手段で生成された複数のクロツク信号により重み付けを行い時間幅の異なる記録画像信号に変換して出力する出力手段とを備え、

多値入力記録信号を該信号の周期内に前記クロツク信号の周期より短い時間幅を持つ異なる複数

の信号に変換することにより該所定の重み付に従つたパルス幅変調を行なうことを特徴とする画像信号変調方式。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は多値入力記録信号をパルス幅変調して出力する画像信号変調方式に関し、例えば多値入力記録信号を階調処理して記録画像信号を形成する画像信号変調方式に関するものである。

【従来の技術】

多値入力の画像信号に基づいて、中間調表現を行う技術として、パルス幅変調(PWN)方式が知られている。

従来のPWM方式は、多値入力信号をアナログ信号化し、比較用のアナログ波形(通常は三角波)と比較することによりPWM信号化していく。

この従来のPWM方式を第12図のタイミングチャートを参照して以下に説明する。

従来においては、第12図に示す様に、先ず、多値入力画像信号VDOに同期して送られてくる画像クロック信号VCLKにより、入力された多値入力画像信号VDOをD/A変換器によってアナログ電圧波形化し、アナログ画像信号AVを生成する。

そして、適当な方法で発生させた比較用の三角波SAWとこのアナログ画像信号AVを、比較器で比較する。比較用の三角波SAWよりアナログ画像信号AVの電圧の方が高い場合には、該比較器の出力信号OPDを“ON”に、比較用の三角波SAWよりアナログ画像信号AVの電圧の方が低い場合には該比較器の出力信号OPDを“OFF”にして、入力された多値入力画像信号VDOをPWM信号化して対応する記録画像信号を生成している。

しかしながら、このような従来のPWM方式では、アナログ信号を扱うための基準電位の変動、雑音の混入など不安定動作要因が多く、安定したPWM変換が困難だった。

このため、この問題を解決する手段を講じた例として、入力画像信号VDOをアナログ化せずにデジタル信号のまま比較する方法がある。この方法は例えば第13図に示す構成で行なわれている。

第13図においては、マスタクロック信号CLKは、入力画像信号VDOのn倍の周波数を持つものとする。

入力画像信号VDOは、ラッチ回路21において、マスタクロック信号CLKを分周器23でn分周して得られた画像クロック信号VCLKに同期が取られ、コンパレータ24に入力される。

一方、26は比較用信号発生器であり、マスタクロック信号CLK毎に入力画像信号VDOと比較するための比較信号CMPDを発生する。このCMPDのビット数は入力画像信号VDOのビット数に対応している。比較用信号発生器26より出力された比較用信号CMPDは、ラッチ25においてマスタクロック信号CLKに同期がとられ、コンパレータ24に入力される。

コンパレータ24は、このラッチ21よりの入力画像信号VDOとラッチ25よりの比較用信号CMPDとのレベル値の比較を行ない、比較結果を出力画像信号OPDとして出力する。コンパレータ24は[VDO] > [CMPD] のとき出力画像信号OPDを“ON”として記録信号を出力する。

比較用信号CMPDは入力画像信号VDOの

的な不安定動作要因の入る概念はない。

【発明が解決しようとしている課題】

しかしながら、上記従来例では、出力画像信号OPDの最小パルス幅がマスタクロックCLKの周波数により決定されてしまい、これに伴ない階調数が限定される。

階調数を上げるためにには、マスタクロックの周波数を上げればよいが、電子回路素子には、作動周波数に限界があり、使用する電子回路素子により使用可能な周波数の上限が定まっている。

このため、高階調のPWM変換が難しくなる欠点がある。

また、一般に高周波発振器や作動周波数限界の高い高速動作電子回路素子は高価であり、高階調のPWM変換のためだけに全ての回路を高周波用素子で組むことは、経済的でない。

1つの信号がコンパレータ24に入力されている間に“n”回入力される。このため、出力画像信号OPDはVDOのn倍の情報量を持つPWM信号となる。

以上の構成において、入力画像信号VDOを6ビットの信号、“n”を“4”とし、比較用信号発生器26としてアップ・ダウン・カウンタを用いた場合のタイムチャートを第14図に示す。

アップ・ダウン・カウンタはマスタクロック毎に直前のレベル値に定められた数値を加算、もしくは減算したレベル値を出力するもので、上限値と下限値が決められており、加算が進んで、上限値まで達すると減算が開始され減算が進んで下限値に達すると加算が開始されるという動作を繰り返し、疑似的な三角波を作り出すものである。上記の方式ではデータ同志の比較であり、アナログ

【課題を解決するための手段】

本発明は上述の課題を解決することを目的として成されたもので、クロックの1周期内を複数に分割する信号を形成し、高階調画像信号を生成する画像信号変換方式を提案することを目的とする。そして上述の課題を解決する手段として以下の構成を備える。

即ち、クロック信号に基づいて複数のそれぞれ位相の異なる同一周波数クロック信号を生成するクロック生成手段と、多値入力記録信号を対応する複数の2値画像信号に変換する変換手段と、該変換手段で生成された複数の2値画像信号をクロック生成手段で生成された各々位相差のある複数のクロック信号により多値入力記録信号の1周期内で順次出力する出力手段とを備える。

また、多値入力記録信号の濃度レベルに基づ

き、該多値入力記録信号を対応する記録画像信号に変換する変換手段と、クロック信号に基づいて該クロック信号から各々所定の重み付けに従い位相をずらした複数のクロック信号を生成するクロック生成手段と、変換手段で変換された変換信号を該クロック生成手段で生成された複数のクロック信号により重み付けを行い時間幅の異なる記録画像信号に変換して出力する出力手段とを備える。

【作用】

以上の構成において、多値入力記録信号を該記録信号の周期内にクロック信号の周期より短い時間単位でパルス幅変調を行う。

また、多値入力記録信号を該記録信号の周期内にクロック信号より短い時間幅を持つ異なる複数の信号に変換することにより該所定の重み付に従

つたパルス幅変調を行なう。

このように、クロック信号の周波数を上げることなく、高周波の記録信号を得ることができる。]

【実施例】

以下、図面を参照して本発明に係る一実施例を詳細に説明する。

【第1実施例】

第1図は本発明に係る一実施例のプロット図であり、以下第1図を参照して本実施例を詳細に説明する。

本実施例は、8ビットの入力画像信号VDOを、最小パルス幅が入力画像信号VDOの周期の1/4となる出力信号OPDにパルス幅変調する例である。本実施例では、マスタクロックCLKはVDOと同じ周波数を持っている。

8ビット入力画像信号VDOはデイマルチブレ

クサ1によって2系統に分けられてラッチI2、ラッチII3に入力され、それぞれ、マスタクロックCLKからデレイ回路10によって作られたクロックDCLK1およびDCLK2と同期がとられる。ラッチI2、ラッチII3により同期のとられた入力画像信号は、各々DVD01とDVD02として、次段のコンバレータI4、II5に入力される。

デイレイ回路10の詳細構成を第2図に示す。第2図に示すように、デイレイ回路10はマスタクロックCLKをそのままDCLK1として出力するとともに、マスタクロックCLKに対してデイレイ素子16で90°位相を遅延してDCLK2として出力している。

デイレイ回路10よりのクロックDCLK1およびDCLK2は排他的論理和(EX-OR)

回路11に入力され、該回路11によりマスタクロックCLKの1/2の周期のスイッチングクロックSCLK1が生成される。また、該クロックSCLK1をインバータ(NOT)回路12で反転させたクロックSCLK2が作られる。このSCLK1およびSCLK2は信号は各々アップダウンカウンタI8及びII9、ラッチV13及びVI14、切換回路15に入力される。

アップダウンカウンタI8の出力は、SCLK1の入力毎にカウントアップ又はカウントダウンされ、ラッチIII6においてSCLK1と同期がとられた後にコンバレータI4に比較信号CMPD1として出力される。

アップダウンカウンタII9およびラッチIV7でも同様にSCLK2に基づいて比較信号CMPD2を生成してコンバレータII5に出力する。

上述した様に、コンパレータ I 4 には画像データ D V D O 1 と比較用信号 C M P D 1 とが入力されており、コンパレータ I 4 内で比較判別され、 $[D V D O 1] \geq [C M P D 1]$ のときのみ出力 D 1' に "1" が出力される。

コンパレータ II 5 にも、画像データ D V D O 2 と比較用信号 C M P D 2 とが入力されており、 $[D V D O 2] \geq [C M P D 2]$ のときのみ出力 D 2' に "1" が出力される。

それぞれの画像データ D 1' および D 2' は、ラッチ V 1 3 およびラッチ V 1 4 に入力され、各々 S C L K 1 と S C L K 2 に同期がとられ、画像データ D 1, D 2 として出力される。画像データ D 1, D 2 は切換回路 15 に入力され、スイッチングクロック S C L K 1 および S C L K 2 に基づいて、順次交互に選択され、シリアルの出力画像

出力される。即ち、ラッチ V 1 3, V 1 4 にラッチされた順番で、シリアルの画像データ O P D が 出力されるように構成してある。

以上説明した本実施例の動作タイミングを第 4 図に示す。

なお、本実施例においては、入力画像信号 V D O の周波数が 7 M H z である場合には、S C L K 1 および S C L K 2 は 1 4 M H z となり、切換回路 15 内の各構成要素素子の作動周波数は 2 8 M H z となる。

よつて、切換回路 15 内の各構成要素素子及び切換回路 15 の制御信号である S C L K 1 および S C L K 2 を生成する回路素子である E X - O R 1 1 と、インバータ回路 1 2 のみ高速作動素子を用いればよく、他の素子は最大作動周波数が 2 0 M H z 程度あれば十分である。

データ O P D として出力される。

この切換回路 15 の詳細を第 3 図に示す。

切換回路 15 は第 3 図に示すように、J - K フリップフロップ 1 7、アンド回路 1 8, 1 9、及びオアゲート 2 0 で構成される。

そして、S C L K 1 の立ち上がりで J - K フリップフロップ 1 7 がセットされ、S C L K 2 の立ち上がりで J - K フリップフロップ 1 7 がリセットされる。その結果、S C L K 1 の立ち上がりタイミングでアンドゲート 1 9 が開いてアンドゲート 1 8 が閉じ、S C L K 2 の立ち上がりタイミングでアンドゲート 1 8 が開いてアンドゲート 1 9 が閉じるようになっている。その結果、S C L K 2 が立ち上がると画像データ D 1 が出力画像データ O P D として出力され、S C L K 1 が立ち上がるとき、画像データ D 2 が出力データ O P D として

なお、画像データ D 1, D 2 の出力を制御するタイミングクロック S C L K 1, S C L K 2 の選択は、画像データ D 1, D 2 の立ち上がり初期の不安定状態を避けるよう考慮する必要がある。

【第 2 実施例】

本発明に係る第 2 の実施例を第 5 図に示す。

第 2 の実施例においても、上述した第 1 の実施例同様 8 ビットの入力画像信号 V D O の 1 周期を 4 分割してパルス幅変調を行う。しかし、第 2 の実施例においては、パルス幅変調用の信号を等分割せず、遅延クロック信号 D C L K の遅延時間を適当に調整することにより、重み付けを行い、入力画像信号当たりの階調数を 1 6 階調としている。

第 5 図において、8 ビット入力画像信号 V D O は、ラッチ I 2 7 によりマスタクロック C L K と

の同期がとられて VDO / アドレス・データ変換回路 28 に入力される。VDO / アドレス・データ変換回路 28 では、入力画像信号 VDO の濃度レベル値を修飾し、次の ROM 29 に格納されている画像データをアクセスするためのアドレス・データ AD に変換する。

ROM 29 はこのアドレス・データ AD に対応した記憶領域から 4 ビットの画像データ VD を出力する。この ROM 29 より読み出された 4 ビットの画像データ VD は、ラッチ II 30 に入力され、再びマスタクロック CLK との同期がとられて、桁の大きい方から D1, D2, D3, D4 の 4 つの 2 値並列信号として切換回路 32 へ入力される。

この入力画像信号 VDO と ROM 29 から読み出される画像データ VD (D1~D4) との関係を

な濃度レベル値 D を低い方から 0~15 の番号を付けて表し、ある濃度レベル値が VDO 1 画素中に占める記録面積の割合：占有率 S とすると、D と S の関係は第 7 図の様にほぼ良好な比例関係を持つて表せる。占有率 S は実際の画像濃度とほぼ比例している。

VDO / アドレスデータ変換回路 28 と ROM 29において、入力信号 VDO に対して第 6 図、第 7 図に示す 16 階調の VD が出力されるようするため、入力画像信号 VDO の濃度レベル値に対して ROM 29 よりは第 8 図に示す VD (D1~D4) が outputされるように構成している。

切換回路 32 では後に示すように、ディレイ回路 31 からのディレイ・クロック DCLK 1~4 に基づいて、入力画像信号の周期内に画像データ VD の上位の桁から 1 ビットずつ順次に出力す

以下に説明する。

本実施例では、入力画像信号 VDO の 1 画素を第 6 図に示す割合となるように分割し、この大きさの異なる分割画素に画像データ D1~D4 を割り当てている。各分割画素は割り当てられた画像データの値が “1” のとき印刷されるものとすると、画像データ D1~D4 の組み合わせにより VDO 1 画素当たり 16 階調の濃度表現が可能になる。・

一般には、実際の画像濃度と画像データ VD の濃度レベル値は比例関係にあることが望ましい。しかし、これは画素の分割のしかたに大きく依存する。本実施例において第 6 図に示した様に画素を分割したのは、上記に比例関係になるべく近づけるためである。

画像データ D1~D4 の組み合わせにより可能

る。

このディレイ回路 31 の詳細を第 9 図に示す。

第 9 図に示す様に、ディレイ回路 31 はディレイ素子 I~III 33~35 より構成され、それぞれ入力された信号をディレイ素子 I 33 は 136.8° (1 サイクルの 38%)、ディレイ素子 II 34 は 54° (1 サイクルの 15%)、ディレイ素子 III 35 は 72° (1 サイクルの 20%) 遅延させる。この結果、ディレイ回路 31 は入力信号であるマスタクロック CLK を順次遅延させることで、それぞれマスタクロック CLK と位相の異なるディレイ・クロック DCLK 1~4 を生成する。

即ち、マスタクロック CLK と同相の DCLK 1、位相が 136.8° 遅れの DCLK 2、位相が 190.8° 遅れの DCLK 3、及び位相が

260. 8° 遅れの DCLK4 を生成する。

生成された4つのディレイ・クロック DCLK1～4 は切換回路32に出力される。この切換回路32の詳細を第10図に示す。

切換回路32は、ラツチII30よりの4ビット並列のD1～D4をディレイ・クロック DCLK1～4により直列のパルス幅信号に変換（パルス幅変調）する回路である。切換回路30に入力されているディレイ・クロック DCLK1 は、立ち上がりでJ-Kフリップ・フロップ36をセット状態にし、これにつながるアンドゲート40を開き画像データD1をオアゲート44を通じて出力信号ODPとして出力する。次にディレイ・クロック DCLK2 が立ち上がると、J-Kフリップ・フロップ36はリセット状態となり、アンドゲート40を閉じる。即ちこの時間まで画像データ

D1 は継続する。

ディレイ・クロック DCLK2 が立ち上がるごとに、フリップ・フロップ37がセット状態となり、アンドゲート41を開き画像データD2を出力信号ODPとして出力する。D2の出力は DCLK3 の立ち上がりまで継続する。

以下同様に、D3はDCLK4が立ち上がるまで、D4はDCLK1が立ち上がるまでそれぞれ出力信号ODPとして出力される。

以上の第2実施例の入力画像信号VDOのパルス幅変調の各動作タイミングを第11図に示す。

上述の切換回路32による画像データ送出手順は、ディレイ・クロック DCLK1～4 によって画像データD1～D4のそれぞれについて送出時間を変えることにより重み付けを行うことに相当する。

以上の様に構成することにより、例えば入力画像信号VDOの入力周波数が7MHzである場合に、切換回路32の回路素子の最大作動周波数は約46.7MHzとなる。この結果、切換回路素子には50MHzで安定動作するものを用いればよい。

なお、本発明は切換回路素子の安定動作が保証される範囲ならばディレイ・クロックの数・位相差を限定するものではない。

また、入力画像信号のビット数や切換回路に入力する画像データの個数を限定するものではない。

以上説明したように本実施例によれば、入力画像信号を、該信号の1周期内でマスタクロック周期を変更せず、該マスタクロック信号の周期より短い時間単位でパルス幅変調を行うことができ

る。

また、多値入力記録信号を該信号の周期内で、マスタクロック周期を変更せず、該マスタクロック信号の周期より短い時間幅を持つ異なる複数の信号に変換することにより所定の重み付に従ったパルス幅変調を行なうことができる。

【発明の効果】

以上説明したように本発明によれば、マスタクロック信号等の周波数を上げることなく、高階調の記録信号を得ることができ、高価な高速動作回路素子を必要最小限の範囲のみに使用するだけで、経済的に高解像度を実現する画像信号変調方式が提供できる。

4. 図面の簡単な説明

第1図は本発明に係る第1実施例のプロック構成図。

第2図は第1図に示すディレイ回路の詳細構成図。

第3図は第1図に示す切換回路の詳細構成図。

第4図は本実施例の動作タイミングチャート。

第5図は本発明に係る第2実施例のブロック構成図。

第6図は第2実施例の入力画像信号の1画素に対する変換信号D1～D4の割合を示す図。

第7図は第6図に示すD1～D4による多階調濃度実現状態を示す図。

第8図は第2実施例の入力画像信号とROMよりの出力変換信号D1～D4の関係を示す図。

第9図は第5図に示すディレイ回路の詳細構成図。

第10図は第5図に示す切換回路の詳細構成図。

第11図は第2実施例の動作タイミングチャート。

ト。

第12図は従来のアナログPWMの説明図。

第13図は従来のデジタルPWMのブロック構成図。

第14図は第13図のデジタルPWMのタイミングチャートである。

図中、1—ディマルチプレクサ、2, 3, 6, 7, 13, 14, 21, 25, 27, 30—ラッチ、4, 5, 24—コンパレータ、8, 9—アップダウンカウンタ、11—排他的論理和回路、12, 22—インバータ回路、16, 33～35—ディレイ素子、17, 36～39—J-Kフリップフロップ、18, 19, 40～43—アンド回路、20, 44—オア回路、28—VDO/アドレスデータ変換回路、29—ROM、31—ディレイ回路、32—切換回路である。

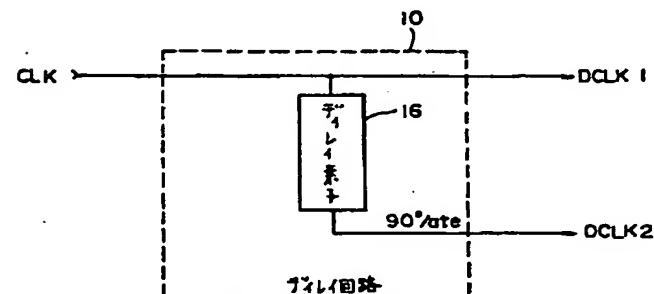
イレイ回路、32—切換回路である。

特許 出願人

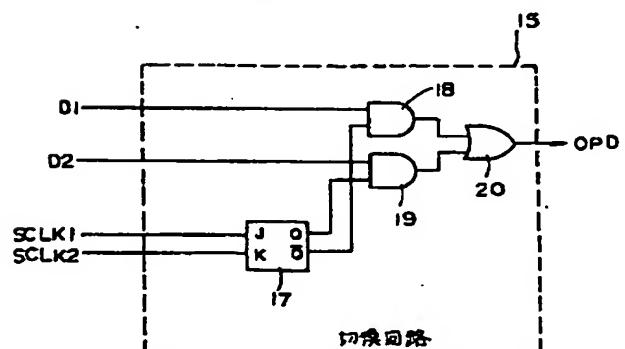
キヤノン 株式会社

代理人弁理士

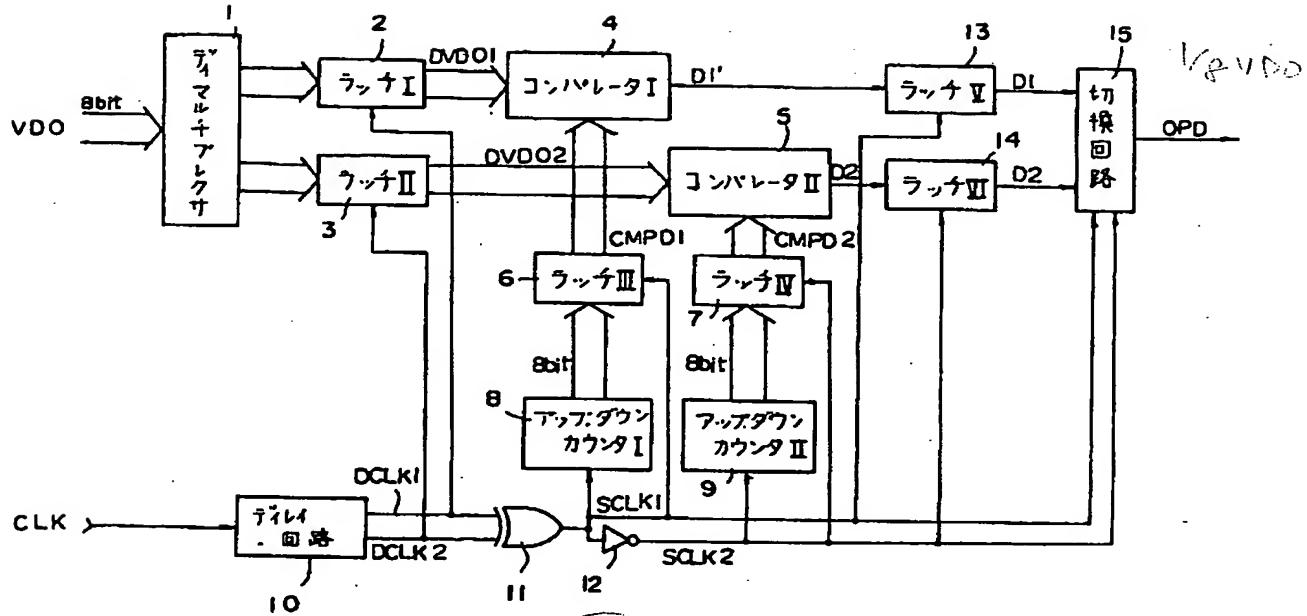
大塚康博(他1名)



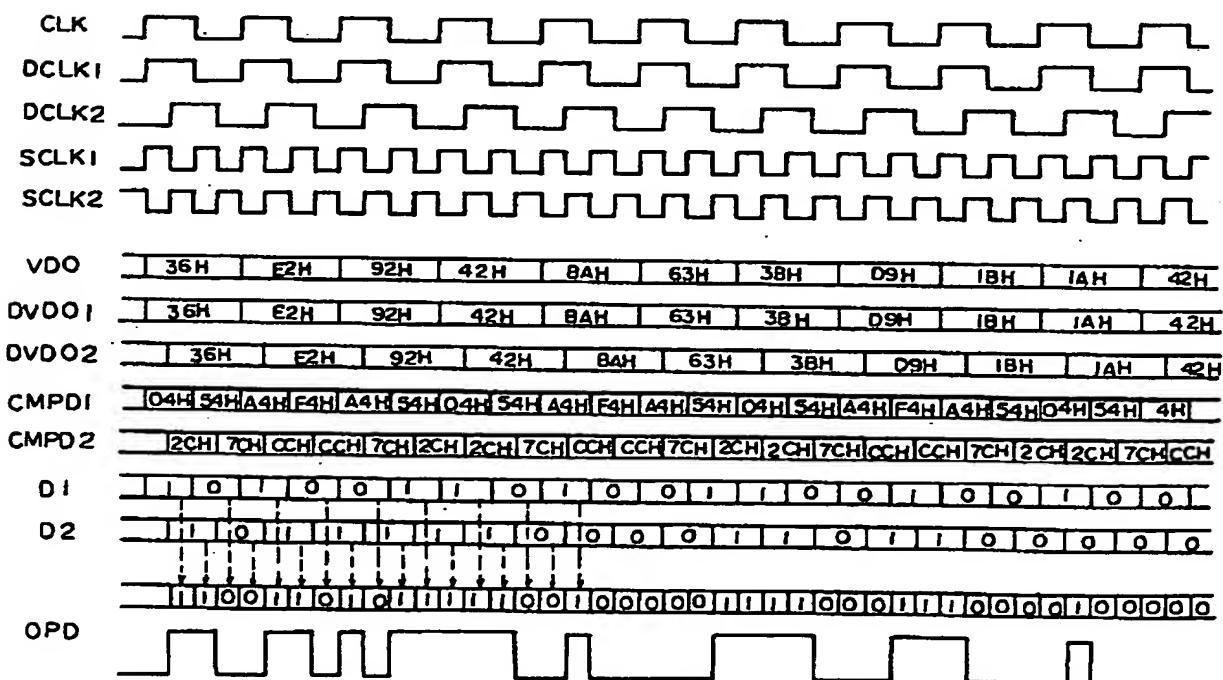
第2図



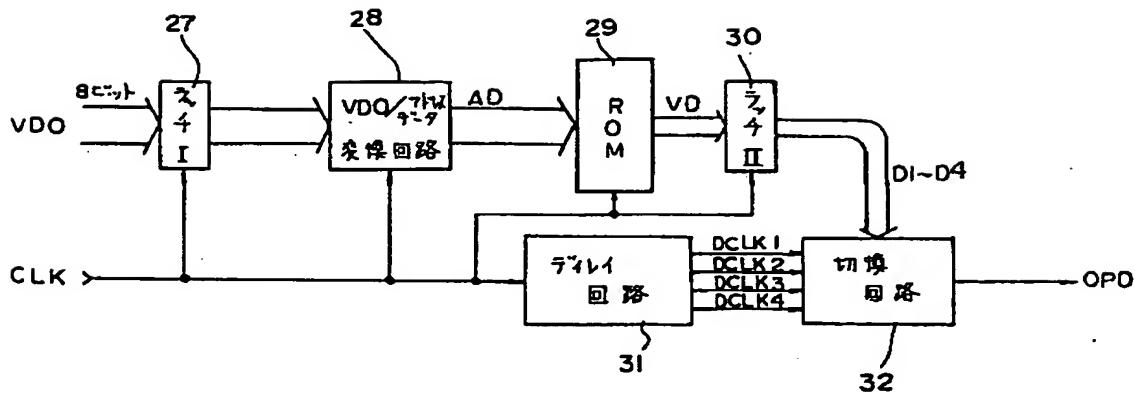
第3図



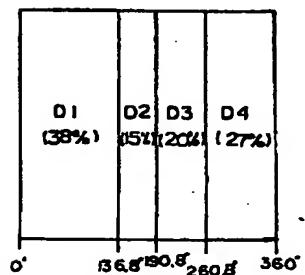
第一回



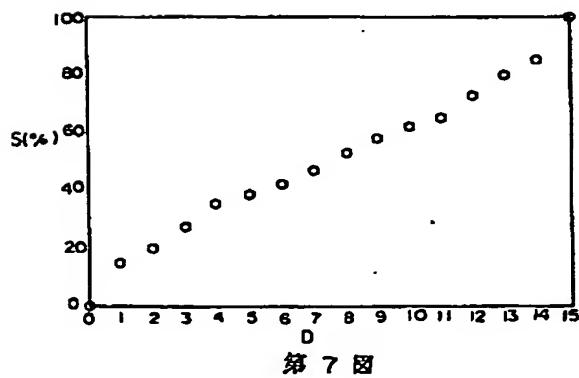
緒 4 図



第5図



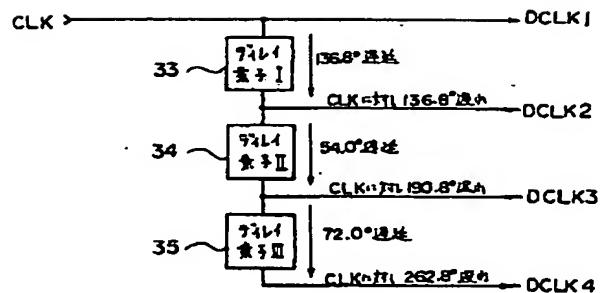
第6図



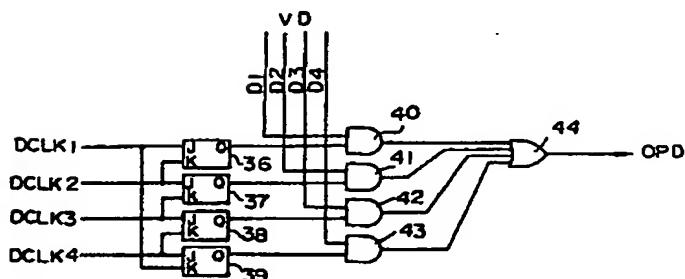
第7図

D	S (%)	V D O	V D			
			D1	D2	D3	D4
0	0	00H ~ 13H	0	0	0	0
1	15	14H ~ 2CH	0	1	0	0
2	20	2DH ~ 3CH	0	0	1	0
3	27	3DH ~ 4FH	0	0	0	1
4	35	50H ~ 5DH	0	1	1	0
5	38	5EH ~ 66H	1	0	0	0
6	42	67H ~ 71H	0	1	0	1
7	47	72H ~ 7FH	0	0	1	1
8	53	80H ~ 8DH	1	1	0	0
9	58	8EH ~ 99H	1	0	1	0
10	62	9AH ~ A2H	0	1	1	1
11	65	A3H ~ B0H	1	0	0	1
12	73	B1H ~ C3H	1	1	1	0
13	80	C4H ~ D2H	1	1	0	1
14	85	D3H ~ ECH	1	0	1	1
15	100	EDH ~ FFH	1	1	1	1

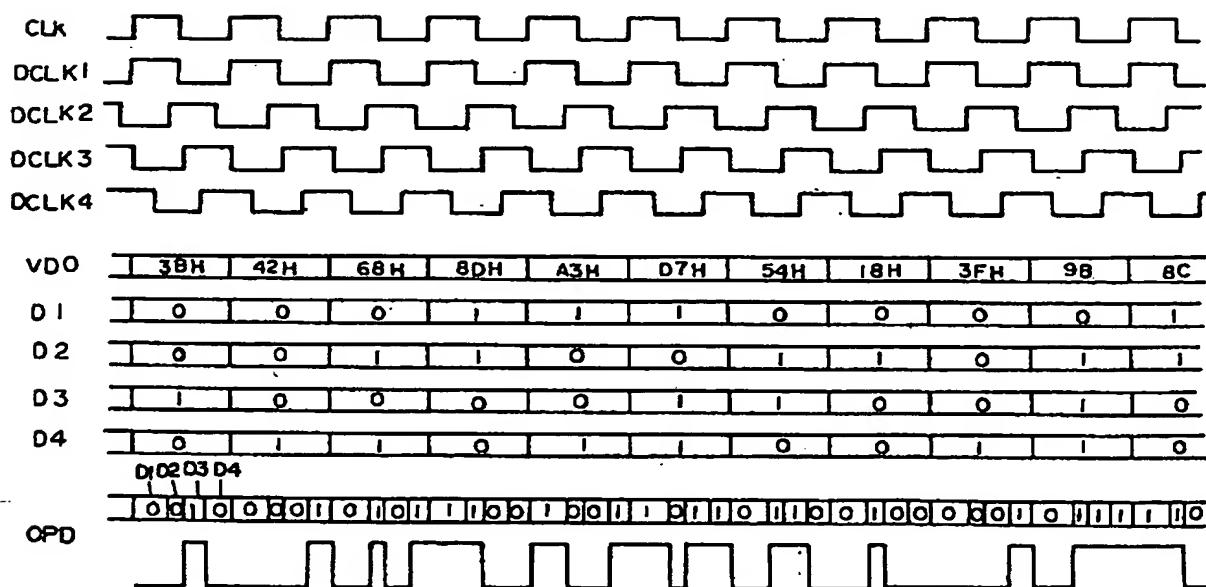
第8図



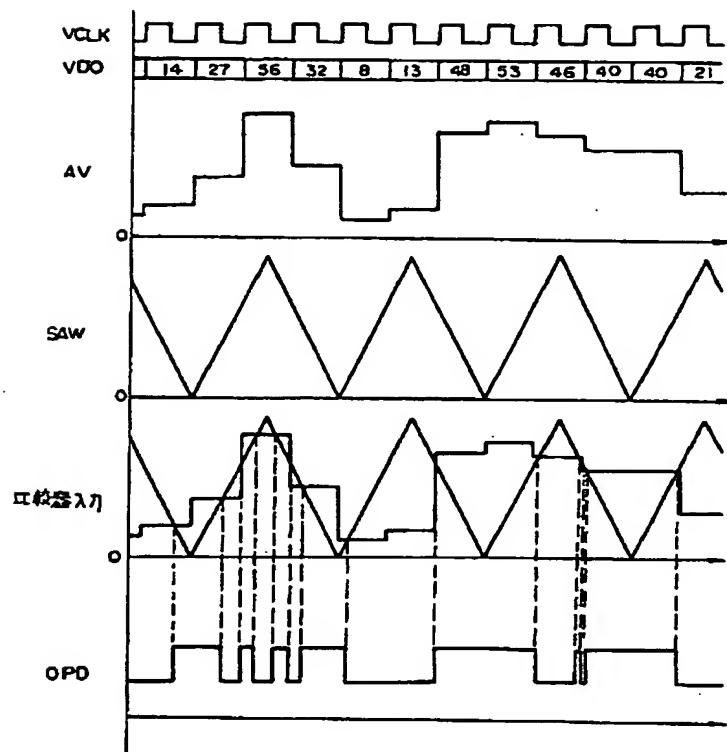
第9図



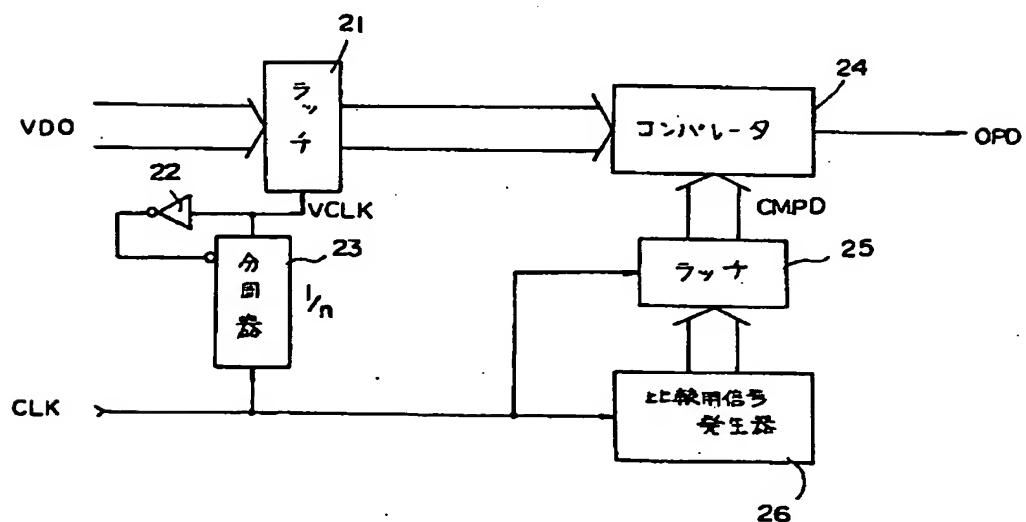
第10図



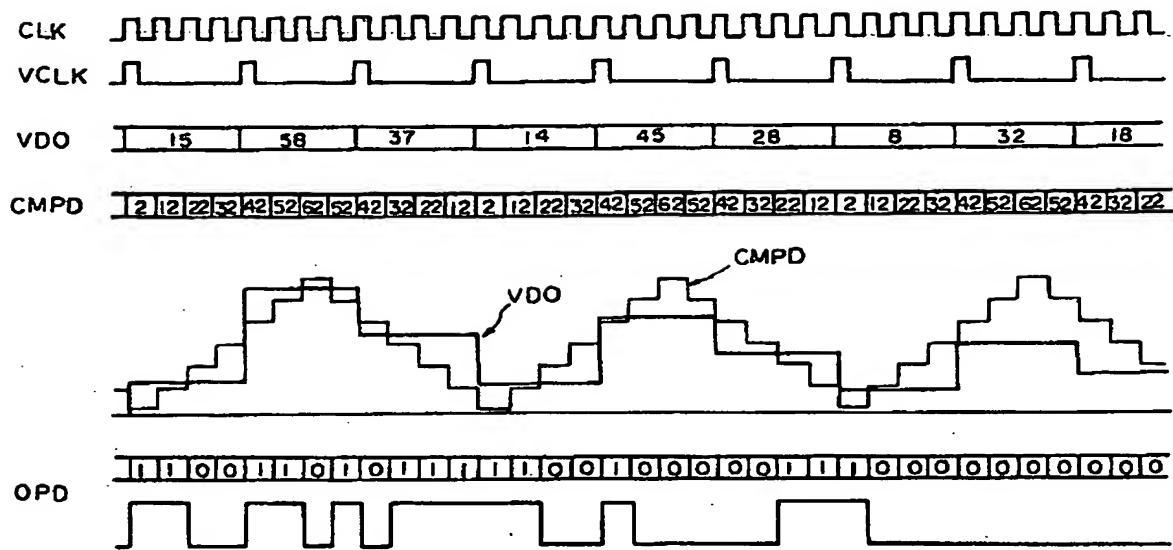
第11図



第12図



第13図



第14 図

第1頁の続き

②発明者 真野 宏
②発明者 頼戸 義

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成10年(1998)8月21日

【公開番号】特開平3-119860

【公開日】平成3年(1991)5月22日

【年通号数】公開特許公報3-1199

【出願番号】特願平1-255294

【国際特許分類第6版】

H04N 1/403

B41J 2/44

H04N 1/405

【F I】

H04N 1/40 103 A

B

B41J 3/00 M

手 続 補 正 書

特許庁長官殿

平成8年10月2日

1. 事件の表示

特願平 1-255294号

2. 補正をする者

事件との関係 特許出願人
キヤノン株式会社

3. 代理人

T103
東京都千代田区麹町5丁目7番地
紀尾井町TBRビル507号室
(7542) 代理士 大畠 康輔
TEL 03(5276)3241
FAX 03(5276)3242
同所
(9390) 代理士 松本 研一

4. 補正の対象

明細書の変明の名義の権利、特許請求の範囲の権利及び発明の特徴の説明の権利

5. 補正の内容

- (1) 特許請求の範囲を以下のように補正する。
- (2) 発明の名義を「画像信号変調装置」と補正する。
- (3) 明細書第4頁3行~6行を下記のように補正する。

～記～

『本発明は、多値入力記録信号に基づいて面像信号を山力する画像信号変調装置に関するものである。』

- (4) 図説書第10頁2行~第12頁3行を下記のように補正する。

～記～

『上記目的を達成するために本発明の画像信号変調装置は以下のよう構成を備える。即ち、

多値入力記録信号に基づいて面像信号を出力する画像信号変調装置であつて、同一周波数でそれぞれ位相の異なる複数のクロック信号を発生するクロック発生手段と、

多値入力記録信号を複数の2位面像信号に変換する変換手段と、
前記変換手段で生成された前記複数の2位面像信号を前記クロック発生手段で発生された複数のクロック信号により最大出力する出力手段と、
を有することを特徴とする。』

【作用】

以上の構成において、多値入力記録信号を複数の2位面像信号に変換し、その2位面像信号を、同一周波数でそれぞれ位相の異なる複数のクロック信号により最大出力するように動作する。』

- (5) 図説書第26頁12行~13行の「画像信号変調方式」を「画像信号変調装置」と補正する。

以上

別紙

特願平1-255294号の特許請求の範囲

多枚入力記録信号に基づいて画像信号を出力する画像信号変換装置であつて、同一周波数でそれぞれ位相の異なる複数のクロック信号を発生するクロック発生手段と、

多枚入力記録信号を複数の2値画像信号に変換する変換手段と、前記変換手段で生成された前記複数の2値画像信号を前記クロック発生手段で発生された複数のクロック信号により順次出力する出力手段と、
を有することを特徴とする画像信号変換装置。